

PAT-NO: JP355046579A
DOCUMENT-IDENTIFIER: JP 55046579 A
TITLE: METHOD OF FABRICATING SEMICONDUCTOR DEVICE
PUBN-DATE: April 1, 1980

INVENTOR-INFORMATION:
NAME
KATAGIRI, KENJI

ASSIGNEE-INFORMATION:
NAME TOSHIBA CORP COUNTRY N/A

APPL-NO: JP53120775
APPL-DATE: September 30, 1978

INT-CL (IPC): H01L021/66, H01L021/50, H01L023/00

US-CL-CURRENT: 29/414, 438/17, 438/464, 438/FOR.142, 438/FOR.386

ABSTRACT:

PURPOSE: To automate a method of fabricating a semiconductor device by using a dicing saw capable of cutting sufficient depth of semiconductor wafer when dicing the wafer and photosetting ink at its inking time for marking the result of the test.

CONSTITUTION: A semiconductor wafer diffused with impurities is cut with shallow cutout by a diamond scriber or laser scribe to be separated as pellets, which are inspected and marked with photosetting ink. Then, the pellets are cut in sufficient depth by a dicing saw or blade scriber capable of cooling with coolant. Then, only good pellets are selected by optical means, and fed to next step. Then the pellets are mounted, bonded with wires, and molded. Thus, the marked ink is not erased to thereby automate the integral work.

COPYRIGHT: (C)1980, JPO&Japio

⑫ 公開特許公報 (A)

昭55—46579

⑬ Int. Cl.³
H 01 L 21/66
21/50
23/00

識別記号

厅内整理番号
6851—5F
6851—5F
6851—5F

⑭ 公開 昭和55年(1980)4月1日
発明の数 1
審査請求 未請求

(全 2 頁)

⑬ 半導体装置の製造法

⑭ 特 願 昭53—120775

⑭ 出 願 昭53(1978)9月30日

⑭ 発明者 片桐健二

川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジスタ工場内

⑭ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑭ 代 理 人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体装置の製造法

2. 特許請求の範囲

半導体ウエーハへのウエーハ工程終了後、プローパにより各チップの良、不良テストをおこない、光硬化型インキでその良または不良の印付けをおこなう工程と、ついでダイシングソー(あるいはブレードスクライバー)でチップ毎に分離する工程と、良品のみを光学的手段により選択し、これをマウンティングする工程と、ついでこれをワイヤボンディングする工程と、さらにモールディングあるいはシーリングし、半導体パッケージとする工程とを具備することを特徴とする半導体装置の製造法。

3. 発明の詳細な説明

この発明は半導体ウエーハへのウエーハ工程からモールディングあるいはシーリング等の最終工程に到るまでの半導体装置の製造工程の改良に関する。

半導体ウエーハは不純物拡散、エピタキシャル成長、フォトエフチング等のウエーハ工程を終了したのち、プローパにかけ、所定の仕様に従つて各チップの良、不良をテストし、通常、不良品にインキで印を付けるダイソートテスト工程、スクライバー等によりチップ毎に分離するダイシング工程、良品チップ、不良品チップにふるい分けするシーピング工程、良品チップをリードフレームあるいはステム上に接着させるマウンティング工程、外部電極との結線をおこなうためのワイヤボンディング工程、さらに最終的なモールディングあるいは樹脂等によるシーリング工程を経て半導体パッケージとして製品化される。

このような半導体ウエーハへのウエーハ工程から完成品に到るまでの工程は能率向上の点からできるだけ一貫作業として自動的に処理されることが好ましい。しかし、従来の方法によればダイソートテストにおける不良品のインキを水溶性インキを用い、ついでダイシング工程

をダイヤモンドスクライバー、レーザスクライバー等により比較的浅い切り込みをウエーハに入れるのみで、のちに完全に分割してからチップのシーピングをおこなうなどの関係から上記諸工程の一貫作業化が困難であつた。さらに、従来ダイソートテストで用いられる水溶性インキは比較的光沢性に乏しく、シーピング工程をフォトダイオード等で自動的に検出しようとする場合、感度の点で不十分となり検出もれが生ずるおそれがあるなどの問題があつた。

この発明は上記事情に鑑みてなされたものであつて、ウエーハ工程から最終的なモールディングあるいはシーリング工程に到るまでの作業の一貫性、あるいは自動化に適した半導体装置の製造法を提供することを目的とする。

すなわち、この発明は半導体ウエーハへのウエーハ工程終了後、プローバにより各チップの良、不良テストをおこない、光硬化型インキでその良、不良の印付けをおこなう工程と、ついでダイシングソー（あるいはブレードスクライバー）

3

でチップ毎に分離する工程と、良品のみを光学的手段により選択し、これをマウントングする工程と、ついでこれをワイヤボンディングする工程と、さらにモールディングあるいはシーリングし、半導体パッケージとする工程とを具備することを特徴とする半導体装置の製造法を提供する。

この発明で用いられる光硬化型インキとは紫外線に感応して架橋反応を起して硬化し、水不溶性となるインキで、この種インキは従来公知であり、本発明においてこの光硬化型インキの種類については特に制限はなく、必要に応じて適宜選択して使用し得る。また、この発明で用いられるダイシングソー（あるいはブレードスクライバー）についても従来公知のものを適宜使用し得る。このダイシングソーは冷却水を併用しながら半導体ウエーハへの切断をおこなうことができ、従来用いられているダイヤモンドスクライバー等と異なり、半導体ウエーハへの切断深さを適宜調整し得る利点を有する。

4

したがつて、ダイシング工程においてこのようなダイシングソーを用い、半導体ウエーハを十分な深さに切断しておくことにより、従来の如くダイヤモンドスクライバー等によりダイシングしたのち、さらに半導体ウエーハを割り、良品チップの選別をおこなうシーピング工程を必要とせず、ダイシング工程を経た半導体ウエーハに対し、フォトダイオード等の光学的手段により、良品チップのみを選び出し、そのまま直接、リードフレームあるいはステム上にマウントングすることができる。なお、上述の如くダイシングソーを用いる場合、冷却水を必要とするが、本発明においてはダイソートテスト工程におけるインキングを上述の如く光硬化型インキを用いておこなうものであるから、チップ上に塗布したインキが冷却水によつて剥れたり、消えたりするおそれもない。

本発明において使用される光硬化型インキは上述の如くダイシングソーによるダイシング時ににおける安定性のほか、紫外線を照射して硬化

させるまでは、チップ上に付けたインキを取り消すことが容易に可能であり、いつたん硬化したインキは耐水、耐薬品性を有し、しかもインキ表面は光沢性に富み、光反射率が大きいからフォトダイオード等によるチップの良、不良の判別を容易にするなど、従来の水溶性インキと比較して使用上多くの利点を有する。

以上詳述したように本発明によればダイソートテスト工程におけるインキングに光硬化型インキを用い、またウエーハのダイシングをダイシングソー（あるいはブレードスクライバー）を用いウエーハに対し十分な深さの切断をおこなうことができるから、良品チップのフォトダイオード等光学的手段による検出を容易にし、かつ検出後そのまま直接リードフレーム等にマウントできるなどウエーハ工程後パッケージとして完成させるまでの諸工程の一貫作業化、あるいは自動化を容易にし得るなどの顯著な効果を有する。

5

6